

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-078173

(43)Date of publication of application : 12.03.1992

(51)Int. Cl.

H01L 29/788

H01L 21/312

H01L 27/115

H01L 29/792

(21)Application number : 02-191743

(71)Applicant : NEC CORP

(22)Date of filing : 19.07.1990

(72)Inventor : MURANAKA KIYOHICO

(54) SEMICONDUCTOR DEVICE WITH BUILT-IN EPROM

(57)Abstract:

2 PURPOSE: To relax a stress to a pellet surface caused by a thermal stress by
3 applying a polyimide film excepting an upper part of a gate electrode of a
4 memory transistor (EPROM element) to form a passivation film.

5 CONSTITUTION: A passivation film is composed of a silicon nitride film 9

6 covering a semiconductor chip surface and a polyimide film 10. The silicon

7 nitride film 9 prevents a direct contact between a polyimide film 10 and an

8 aluminum wiring 7. Although the polyimide film has good evenness, it is

9 opaque to ultraviolet rays. However, since a window 11 is provided above a

10 floating gate electrode 3, it is possible to carry out writing in a wafer state and

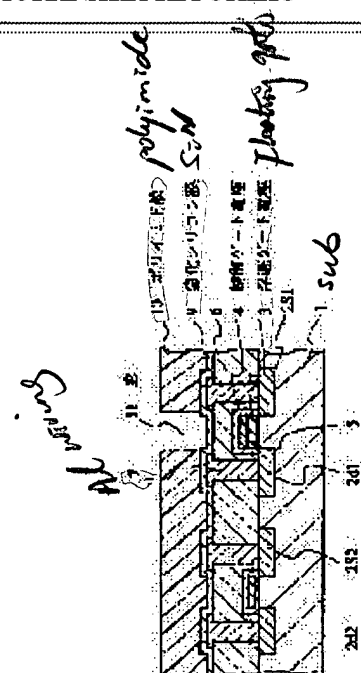
11 erasing after characteristics check. It is not necessary to provide the window

12 11 to each EPROM element and one can be provided to an entire of the

13 EPROM part. Anyway, it is only required to apply a polyimide film all over

14 and to form a window thereafter by selectively removing it by

15 photolithography technique.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

102 (6)
9, 10, 11, 15

⑫ 公開特許公報(A) 平4-78173

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月12日

H 01 L 29/788
21/312
27/115
29/792

B 6940-4M

7514-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 EPROM内蔵型半導体装置

⑮ 特 願 平2-191743

⑯ 出 願 平2(1990)7月19日

⑰ 発 明 者 邑 中 清 彦 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

EPROM内蔵型半導体装置

特許請求の範囲

EPROM素子の少なくともゲート電極上方に窓を有するポリイミド膜で保護されていることを特徴とするEPROM内蔵型半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明はEPROM内蔵型半導体装置に関する。

〔従来の技術〕

従来のEPROM内蔵型半導体装置は第2図に示すように、最終保護膜(パッシベーション膜)は窒化シリコン膜8やオキシ窒化シリコン膜が用いられていた。窒化シリコン膜8の厚さは0.3〜0.5 μ mである。

〔発明が解決しようとする課題〕

近年のプロセスの微細化により、半導体装置のベレット表面の凹凸は大きくなる一方である。この為凹凸の大きい場所では半導体装置が受ける熱ストレスにより、パッシベーション膜が割れたり、またこの場所が微細な配線の部分だったりすると配線がスライドするなどの問題があった。

この対策にはベレット表面の平坦化が必要であるが、従来のパッシベーション材料である窒化シリコン膜やオキシ窒化シリコン膜では平坦化を行うのが困難であった。

〔課題を解決するための手段〕

本発明のEPROM内蔵型半導体装置は、EPROM素子の少なくともゲート電極上方に窓を有するポリイミド膜で保護されているというものである。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の一実施例を示す半導体チップの断面図である。

micron
 $0.3 \mu\text{m} = 3000 \text{ \AA}$

この実施例において、パッシベーション膜は、半導体チップ表面を覆う厚さ $0.3 \mu\text{m}$ の窒化シリコン膜 9 と、厚さ $3 \sim 4 \mu\text{m}$ のポリイミド膜 10 (EPR-OM 素子のゲート電極 (浮遊ゲート電極 3) の上方に窓 11 を有している) とからなっている。

窒化シリコン膜 9 はポリイミド膜 10 とアルミニウム配線 7 とが直接接れるのを防止している。

ポリイミド膜は平坦性に優れているが、(素子外観) に対し不透明である。しかし、浮遊ゲート電極 3 上方に窓 11 が設けられているので、ウェーハ状態で目込み、特性チェック後に消去作業を行うことが可能となる。

窓 11 は EPR-OM 素子ごとに設ける必要はなく、EPR-OM 部全体に一つ設けてもよい。いずれにせよ、ポリイミド膜を全面に被覆したのちフォトリソグラフィ技術により選択的に除去して窓を形成すればよい。

(発明の効果)

以上説明したように本発明は、メモリートラン

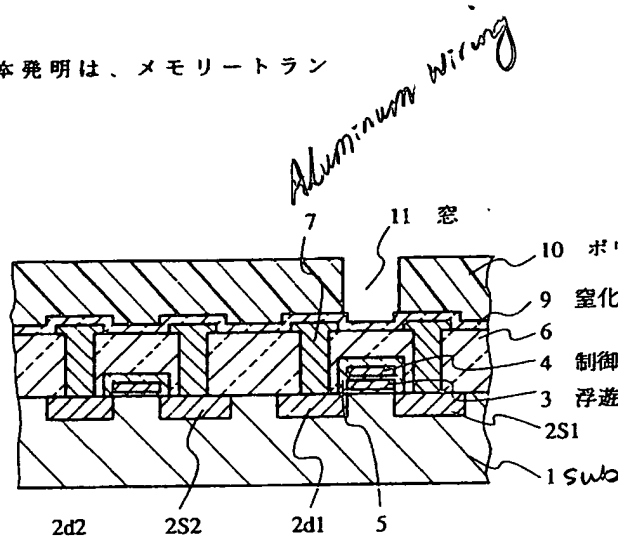
ジスタ (EPR-OM 素子) のゲート電極上部を除きポリイミド膜を被覆してパッシベーション膜とすることにより、熱ストレスによるベレット表面への応力を緩和することが出来、EPR-OM 内蔵型半導体装置の信頼性を改訂できる効果がある。

図面の簡単な説明

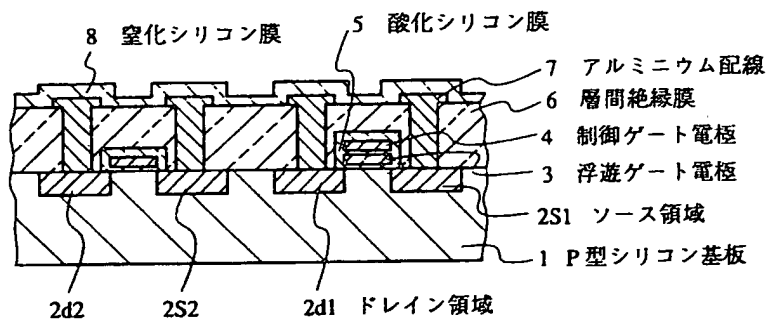
第 1 図は本発明の一実施例を示す断面図、第 2 図は従来例を示す断面図である。

1…P型シリコン基板、2d1、2d2…ドレイン領域、2S1、2S2…ソース領域、3…浮遊ゲート電極、4…制御ゲート電極、5…酸化シリコン膜、6…層間絶縁膜、7…アルミニウム配線、8、9…窒化シリコン膜、10…ポリイミド膜、11…窓。

代理人 井理士 内 原 晋



第 1 図



第 2 図